

⑫ 公開特許公報(A) 平3-44071

⑥ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)2月25日

H 01 L 27/14

7377-5F H 01 L 27/14

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 光半導体装置

⑰ 特 願 平1-179236

⑱ 出 願 平1(1989)7月11日

⑲ 発 明 者 布 施 守 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

光半導体装置

特許請求の範囲

フォトダイオードと、前記フォトダイオードの光電流を光電変換する増幅回路と、論理回路部とを同一基板上に構成した光半導体装置に於いて、アナログ回路ブロックのうち少なくとも一つは第1の金属配線と第2の金属配線によって平面上金属的に覆われており、かつ第1の金属配線を第2の金属配線は互いに平面上オーバーラップし、垂直方向に入射する光を遮断し、オーバーラップした部分の第2の金属配線内部にスルーホールを設け、スルーホールに形成された垂直方向の光シールド用壁によってオーバーラップした箇所の層間絶縁膜を通して横方向に進入する光を遮断することを特徴とする光半導体装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は光半導体装置、特に受光ダイオードと増幅回路及び論理回路を1チップ化して高速処理の実現、高密度実装、コストダウンを図った光半導体装置に関する。

〔従来の技術〕

従来、カメラ用オートアイリス又はオートフォーカスセンサー部ではフォトダイオードのチップから得られた光電流は基板上の配線を通して増幅回路及び論理回路用ICに供給されていた。受光ICは光をチップ表面に受けてこの光を光電流に変換する為透明樹脂を用いて成形される。一方増幅回路は10pA程度の微小電流を増幅する為、入力インピーダンスが非常に大きく光に対して極めて敏感である。従って、増幅回路を内蔵したチップは光を完全に遮へいするように黒色のモールド樹脂に密閉されている。

〔発明が解決しようとする課題〕

上述した2チップ構成のセンサーモジュール

は、実装密度が上がり又フォトダイオードの数が増加するとこれに伴って2チップ間の配線数が増加し基板の面積が大きくなるなどコスト的にも大きな欠点がある。従って、フォトダイオードアレイと増幅回路及び論理回路を1チップ化することが必要となっているが、この場合フォトダイオードには必要とする光の波長帯域の中で出来るだけ光の減衰が少なくなるように光を照射し、増幅回路及び論理回路部に対しては光を完全にシールドする必要がある。従来、所定の領域を光遮へいするには、アルミニウムを $1.0 \sim 2.0 \mu m$ の厚さにチップのほぼ全面に蒸着して、チップ全体を透明樹脂に成形していた。回路規模が小さくかつ回路の動作速度も遅い場合は第2層のアルミ配線を光シールド専用に使って第1アルミ配線だけで信号ライン、電源ラインを配線することも可能であるが、回路規模が大きくなり回路ブロック間のクロストークを避ける為に電源を複数に分割したり、動作速度が高速になると配線の遅延が無視出来なくなり、金属配線で各ブロック間を配線す

- 3 -

A_n はMOSTOPの高入力インピーダンスのアンプであり、ダイオード $D_1 \sim D_n$ によって $I_{p1} \sim I_{pn}$ を対数圧縮して電圧に変換する。これらの電圧をMPXによって時分割してA/Dコンバータに入力する。A/Dコンバータの出力は、インタフェース回路によってシリアルデータに変換されCPUに転送される。本発明は、フォトダイオードからインタフェース部又はCPUまでを1チップ化したときの長面配線構造に特長がある。

第2図は本発明の模式的チップレイアウト図を表わし、フォトダイオードPD1、PD2はチップの左端にマトリクス状に配置されている。A1、A2…はアナログ回路ブロックであり、天側がGND、地側が V_{cc} に配線されるように設計標準化が行なわれている。各ブロックは第1アルミ配線及び第2アルミ配線によって平面的にオーバーラップしている。各ブロックを光から遮へいする電極は電源配線を兼用しており効率良い布線を行なうことが可能であるばかりでなく、標準化

- 5 -

る必要が生じてくる。従ってこの場合には第2層のアルミニウムを単なる光シールドとしてのみではなく、信号線、電源配線としても使用する必要がある。

(課題を解決するための手段)

本発明の光半導体装置は、シールド電極と電源ラインが兼用されておりシールド電極を第1のアルミ電極と第2のアルミ電極に分割し、かつ両方の電極を平面的にオーバーラップすると共に、第1アルミ電極と第2アルミ電極間の層間絶縁膜を通して光が回り込むのを避ける為に第2アルミ電極で遮光すべき領域の横方向にスルーホールを設け、第2アルミ電極でスルーホール部を埋めることによって光遮へい効果を完全に行なうことが出来る。

(実施例)

次に本発明について図面を参照して説明する。第1図は本発明の第1の実施例を示す回路ブロック図であり、フォトダイオードPD1～PDnによって光を光電流 $I_{p1} \sim I_{pn}$ に変換する。A1～

- 4 -

されていることから自動レイアウトを行なうことも可能である。従って本発明を適用したブロックを用いれば、大規模光半導体LSIを効率良く設計することが可能である。遮光する領域としては各ブロックの内部領域だけで十分であるのでブロックの外部領域は第1アルミ配線、第2アルミ配線を用いて効率の良いブロック間配線を行なうことが出来る。又第2アルミ配線で全面的にシールドする場合に比較して本発明に於いては、第2アルミ配線領域の面積がはるかに少なく済むのでピンホール等による歩留り低下が少なく第1アルミ配線とシールド電極間の寄生容量による配線容量も少なくなり、高速の信号伝達が可能となる。

アナログブロックの左側(二点鎖線で図示)は、論理回路部が配置されており、ポリセル方式の場合を図示している。ポリセルの高さは通常アナログ回路ブロックの高さよりも小さく、この為、いくつかのセル列をまとめて第2アルミ配線で遮光している。アナログ回路ブロックのブロッ

- 6 -

ク間配線は原則として縦方向を第1アルミ配線、横方向を第2アルミ配線として使用しているが、論理回路ブロック間の配線は縦方向をポリシリコン配線、横方向を第1アルミ配線として用いている。但し、高速のデータを転送する必要がある信号ラインについては、ポリシリコン配線を用いず第1アルミ配線と第2アルミ配線を用いて信号伝達する。

第3図は従来の配線構造を示す断面図(第3図(a))及び1ブロックの平面図(第3図(b))であり1はV_{cc}配線を兼用する第1アルミ配線、2は第1アルミ配線と第2アルミ配線を電氣的に分離する層間絶縁膜、3はGND配線を兼用する第2アルミ配線であり、第1アルミ配線と第2アルミ配線は4の部分で互いに平面的に重なっており、重なりを十分長くすれば層間絶縁膜を通して横方向に光が回り込むのを防止することが出来るが、重なりが小さい場合は図示するように横方向から入射した光が層間絶縁膜を乱反射によってブロック内部に進入してしま

- 7 -

ことが出来る。

〔発明の効果〕

以上、説明したように本発明はフォトダイオードと増幅回路論理回路を同一基板上に形成することにより実装密度を著しく向上させることが出来る。又、センサー部とアナログ回路部、論理回路部を同一チップ上に形成する為、フォトダイオードマトリックスから増幅回路部への信号ラインがLSI内部のアルミ配線によって行なうことができるのでフォトダイオードの数が多くなった場合、本発明は極めて有効であり高速化にも対応できる。

本発明は第1アルミ配線と第2アルミ配線を用いて受光ダイオードマトリックス部を除くアナログ回路部及び論理回路部を効率良く遮光するので電源ラインを効率良く布線することが可能であり、アナログ回路間の電源ラインに寄因するクロストークを防ぐことが出来、又、アナログ回路が形成されているブロック長面を電源アルミ配線によってシールドしてあるのでディジタル回路から

- 9 -

う。

第4図は本発明の第1の実施例を示す模式的配線構造断面図であり、第1アルミ配線1と第2アルミ配線3の重なり4の第2アルミ配線内部に設けられた垂直のシールド層5によって乱反射して入射してきた光をブロック内部から遮断することが出来る。本発明によれば第1アルミ配線1と第2アルミ配線3の重なり部分4の長さは短かくても遮光することが可能なので、第2アルミ配線3の直下に第1アルミ配線の信号線6を多数通すことが出来る。

第5図は本発明の他の実施例を示す配線構造断面図でありシールド壁5の直下にコンタクト部を設け、さらにシリコン基板表面に形成した酸化膜7の下にL₁O₂COS₉が形成されている。層間絶縁膜2から侵入した光はA部分で乱反射をくり返し、第1アルミ配線1と第2アルミ配線3が垂直に向い合っているB部分に減衰して侵入し、L₁O₂COS内部のC部分で減衰してしまう為、デバイスが形成されている領域に対して完全に遮光する

- 8 -

のアナログ回路へのノイズ及び込みを防止することが出来る。本発明によって、第一アルミ配線と第2アルミ配線がオーバーラップする領域の層間絶縁膜中を光が乱反射してブロック内部に照射することを防止することが出来、第1アルミ配線と第2アルミ配線のオーバーラップを小さくすることが可能である。この為第2アルミ配線の直下を第1アルミ配線を信号ラインとして多数通すことが出来るので、設計の自由度が大きくなりブロックサイズを小さくすることが出来る。又、本発明によるアルミ配線による光遮へいはシールド電極の面積が必要最小限に限定されるので全面的にシールド電極を施した場合に比して、ピンホール等による歩留り低下が減少する。又、シールド電極と第一アルミ信号ラインによる寄生容量が減少することから、配線遅延による影響も少ない。

第2アルミ配線を各ブロック内の内部配線と、ブロック間配線として使用することが出来るのでレイアウト設計の自由度が大巾に大きくなり、

- 10 -

チップサイズを小さくすることが出来るだけでなく自由レイアウトによる設計も可能である為、設計TATを短縮化することが可能である。本実施例は2層配線を用いた場合について説明したが、2層構造に限定されるものでなく3層以上の場合にも等しく応用出来る。

る部分の直下に形成されたLOCOS。

代理人 弁理士 内 原 晋

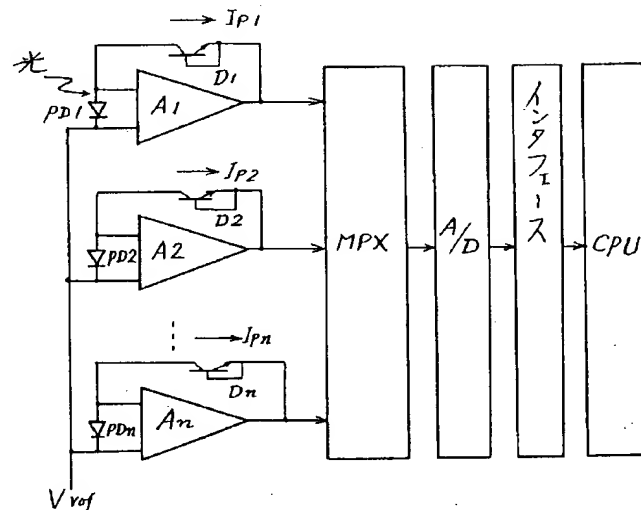
図面の簡単な説明

第1図は本発明の回路ブロック図、第2図はチップのレイアウト図、第3図(a)は従来発明の配線構造のみを示す模式的構造断面図及び第3図(b)は一ブロックの模式的平面図、第4図は本発明による模式的構造断面図、第5図は他の実施例における配線構造断面図を表わす。

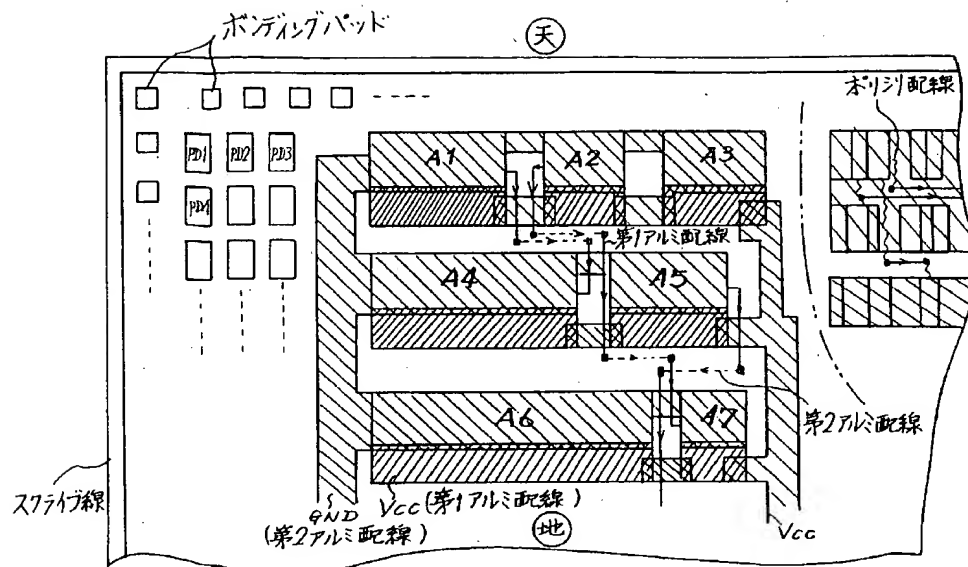
1…第1アルミ配線(Vcc)、2…層間絶縁膜、3…第2アルミ配線(GND)、4…第1アルミ配線と第2アルミ配線のオーバーラップ部、5…光シールド用壁、6…第2アルミ配線直下の信号線(第1アルミ配線)、7…酸化膜、9…第1アルミと第2アルミ部のオーバーラップしてい

- 1 1 -

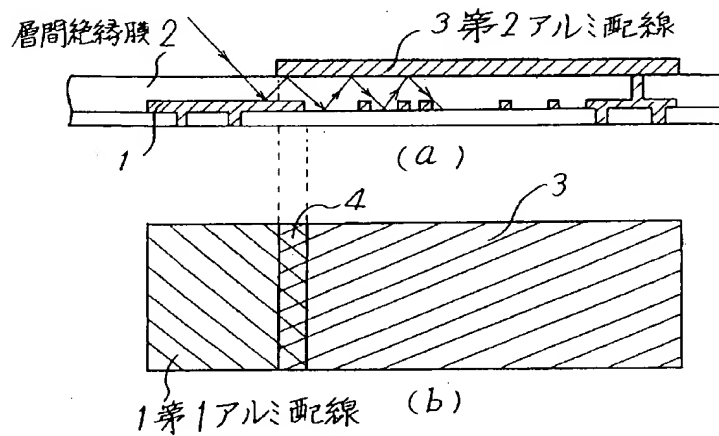
- 1 2 -



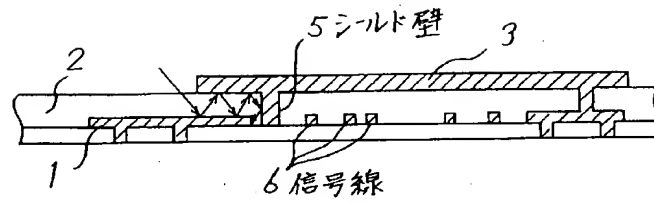
第 1 図



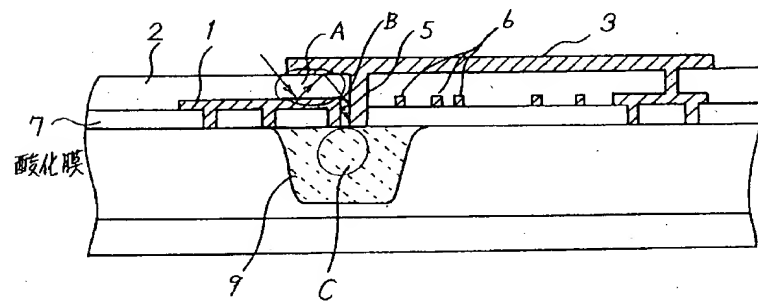
第 2 図



第 3 図



第 4 図



第 5 図